

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Tsao

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: January 9, 2004

Docket No. 250119-1100

For: **Method for Fabricating a Low Temperature Polysilicon Thin Film Transistor**

CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicant hereby claims priority to and the benefit of the filing date of Republic of China patent application entitled, "Method for Fabricating a Low Temperature Polysilicon Thin Film Transistor", filed July 24, 2003, and assigned serial number 92120291. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

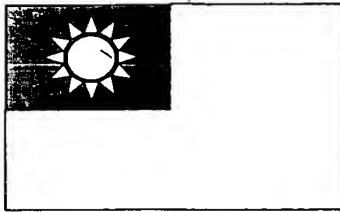
Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By: 

Daniel R. McClure; Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 07 月 24 日
Application Date

申 請 案 號：092120291
Application No.

申 請 人：友達光電股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 10 月 7 日
Issue Date

發文字號：09221006150
Serial No.

申請日期：	IPC分類
申請案號： 92120291	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	低溫多晶矽薄膜電晶體之製造方法
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 曹義昌
	姓 名 (英文)	1. Tsao, Yi-Chang
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市光復路一段459巷30號6F之3
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. AU OPTRONICS CORP.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區力行二路1號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Road 2, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1.



TW1133F(友達).pvd

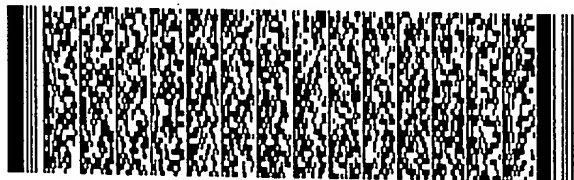
四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體之製造方法)

一種低溫多晶矽薄膜電晶體之製造方法。首先，提供基板。接著，形成緩衝層於基板上。然後，形成低表面自由能材料於緩衝層上。接著，形成第一非晶矽層於低表面自由能材料上。然後，以雷射回火法全熔第一非晶矽層，並致使液態之第一非晶矽層於低表面自由能材料上形成均勻分散之數個多晶矽晶種。接著，形成第二非晶矽層於低表面自由能材料之上，以覆蓋多晶矽晶種。然後，以雷射回火法全熔第二非晶矽層，並致使液態之第二非晶矽層藉由多晶矽晶種結晶成多晶矽層。

五、(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：(無)

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

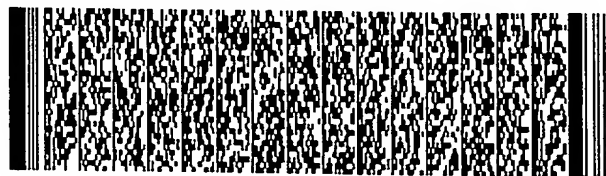
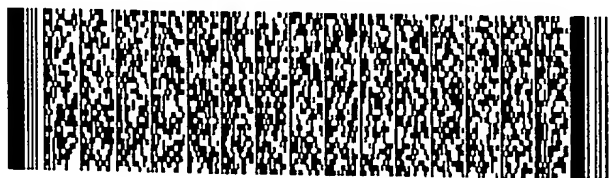
本發明是有關於一種薄膜電晶體 (thin film transistor, TFT) 之製造方法, 且特別是有關於一種低溫多晶矽 (low temperature polysilicon, LTPS) 薄膜電晶體之製造方法。

【先前技術】

在科技發展日新月異的現今時代中, 顯示面板已被廣泛地被運用在筆記型電腦、個人數位助理及行動電話等可攜式電子裝置上。其中, 顯示面板可以分為非多晶矽

(amorphous silicon, α -Si) 薄膜電晶體 (thin film transistor, TFT) 顯示面板及低溫多晶矽 (low temperature polysilicon, LTPS) TFT 顯示面板。LTPS TFT 顯示面板與 α -Si TFT 顯示面板最大差異在於, LTPS TFT 顯示面板係以雷射回火 (Laser Annealing) 法將 α -Si 層轉變成多晶矽層, 大幅地提升薄膜電晶體的電子遷移率 (electron mobility)。因此, 面板驅動電路及積體電路 (integrated circuit, IC) 即可被整合到 LTPS TFT 顯示面板上, 不需要額外之電路板設計, 有助於增加面板及電路設計的靈活度。所以, LTPS TFT 顯示面板將成為極具潛力之顯示面板。

請參照第1A~1I圖, 其繪示乃傳統之低溫多晶矽薄膜電晶體之製造方法的流程剖面圖。首先, 在第1A圖中, 提供一玻璃基板 (glass substrate) 11, 並形成二氧化矽

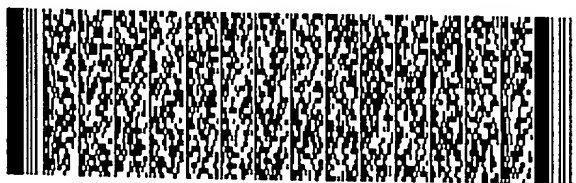


五、發明說明 (2)

(silicon dioxide, SiO_2) 層12於玻璃基板11上，再形成一非晶矽層13係於二氧化矽層12上。其中，非晶矽層13之厚度約為500埃(Å)。接著，以雷射回火法將非晶矽層13轉變成一多晶矽層14，如第1B圖所示。然後，去除部分之多晶矽層14，以形成至少一多晶矽島層14a於二氧化矽層12上，如第1C圖所示。

接著，摻雜多晶矽島層14a之兩端，以形成一重摻雜N型(N+)歐姆接觸層(ohmic contact layer)15於剩餘之多晶矽島層14b之兩側上，如第1D圖所示。在第1D圖中，再形成一第一絕緣層16於二氧化矽層12之上，以覆蓋N+歐姆接觸層15及剩餘之多晶矽島層14b。然後，摻雜剩餘之多晶矽島層14b之兩端，以形成一輕摻雜N型(N-)歐姆接觸層17於多晶矽通道(channel)層14c及N+歐姆接觸層15之間，如第1E圖所示。在第1E圖中，再形成一閘極(gate)18於多晶矽通道層14c之正上方之第一絕緣層16上。其中，輕摻雜N型(N-)歐姆接觸層17即所謂之輕摻雜汲極(light doping drain, LDD)。

接著，形成一第二絕緣層19於第一絕緣層16之上，以覆蓋閘極18，如第1F圖所示。其中，第二絕緣層19及第一絕緣層16係具有一第一接觸孔(contact hole)20a及一第二接觸孔20b，第一接觸孔20a及第二接觸孔20b係位於閘極18之兩側外，用以暴露部分之N+歐姆接觸層17。然後，形成一源極(source)21a及一汲極(drain)21b於閘極18之兩側外之部分的第二絕緣層19上，如第1G圖所



五、發明說明 (3)

示。在第1G圖中，源極21a及汲極21b係分別藉由第一接觸孔20a及第二接觸孔20b與N⁺歐姆接觸層17電性連接。

接著，形成一保護層 (passivation layer) 22於第二絕緣層19之上，以覆蓋源極21a及汲極21b，如第1H圖所示。在第1H圖中，保護層22係具有一第三接觸孔23，用以暴露部分之源極21a。然後，形成一銦錫氧化物 (indium tin oxide, ITO) 電極23於保護層22上，而ITO電極23係藉由第三接觸孔23與源極21a電性連接，且低溫多晶矽薄膜電晶體10在此終告完成，如第1I圖所示。

在以雷射回火法將第1A圖之非晶矽層13轉變成多晶矽層14的過程中，當非晶矽層13被半熔時，如第1J圖所示，未熔之非晶矽層13a及液態之非晶矽13b之間的界面將會產生非均質成核 (heterogeneous nucleation)，導致多晶矽晶種 (seed) 14d將不規則地分佈於未熔之非晶矽層13a之凹凸不平的表面上。如此一來，液態之非晶矽13b將以此些多晶矽晶種14d為成核位置 (nucleation site) 並非均質地結晶成晶體大小 (grain size) 不一的多晶矽層，無法大幅度地提昇薄膜電晶體的電子遷移率。

另外，當非晶矽層13被全熔時，如第1K圖所示，根據熱力學 (thermodynamics) 觀點，當液態之非晶矽13c的溫度低於非晶矽層13之熔點時，液態之非晶矽13c的自由能將大於非晶矽層13的自由能，液態之非晶矽13c將處於一過冷狀態 (super-cooling condition)。如此一來，液態之非晶矽13c將會產生均質成核 (homogeneous



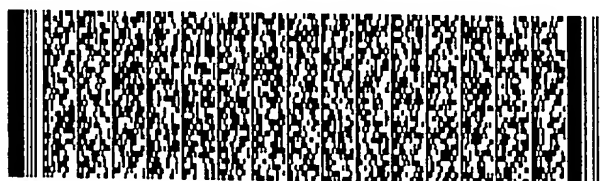
五、發明說明 (4)

nucleation)，慢慢有分佈均勻且顆粒大小相同之多晶矽晶種14e出現，最後液態之非晶矽13c將均質地結晶形成一晶體大小 (grain size) 偏小的多晶矽層，一樣無法改善薄膜電晶體的電子遷移率。所以，以雷射回火法將第1A圖之非晶矽層13轉變為多晶矽層14的過程中，要找到一個最佳深度 (super lateral growth, SLG)，使得多晶矽晶種能夠在彼此具有足夠之距離下分佈於未熔之非晶矽層上，這是相當困難的。因此，如何控制非晶矽層能夠轉變為晶體大小偏大及晶體分佈均勻的多晶矽層之技術，將是一個刻不容緩的待研發課題。

【發明內容】

有鑑於此，本發明的目的就是在提供一種低溫多晶矽薄膜電晶體之製造方法。其形成一低表面自由能材料於緩衝層上或以氫氣電漿處理緩衝層之表面的設計，可以致使低表面自由能材料上或被氫氣電漿處理過之緩衝層上之第一非晶矽層經由雷射回火法轉變為分散均勻之多晶矽晶種。此外，覆蓋此些多晶矽晶種之第二多晶矽層經由雷射回火法而容易結晶成晶體大小較大及晶體分佈均勻之多晶矽層，以提昇低溫多晶矽薄膜電晶體的電子遷移率。

根據本發明的目的，提出一種低溫多晶矽薄膜電晶體之製造方法，首先，提供一基板。接著，形成一緩衝層於基板上。然後，形成一低表面自由能材料於緩衝層之表面上。接著，形成一第一非晶矽層於低表面自由能材料上。



五、發明說明 (5)

然後，以雷射回火法全熔第一非晶矽層，並致使液態之第一非晶矽層於低表面自由能材料上形成均勻分散之數個多晶矽晶種。接著，形成一第二非晶矽層於低表面自由能材料之上，以覆蓋此些多晶矽晶種。然後，以雷射回火法全熔第二非晶矽層，並致使液態之第二非晶矽層藉由此些多晶矽晶種結晶成一多晶矽層。

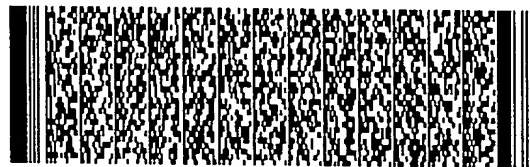
根據本發明的再一目的，提出一種低溫多晶矽薄膜電晶體之製造方法，首先，提供一基板。接著，形成一緩衝層於基板上。然後，以氫氣電漿處理緩衝層之表面。接著，形成一第一非晶矽層於緩衝層之表面上。然後，以雷射回火法全熔第一非晶矽層，並致使液態之第一非晶矽層於緩衝層之表面上形成均勻分散之數個多晶矽晶種。接著，形成一第二非晶矽層於緩衝層之表面之上，以覆蓋此些多晶矽晶種。然後，以雷射回火法全熔第二非晶矽層，並致使液態之第二非晶矽層藉由此些多晶矽晶種結晶成一多晶矽層。

為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

實施例一

請同時參照第2圖及第3A~3K圖，第2圖繪示乃依照本發明之實施例一之低溫多晶矽 (low temperature



五、發明說明 (6)

polysilicon, LTPS) 薄膜電晶體 (thin film transistor, TFT) 之製造方法的部分流程示意圖, 第3A~3K圖繪示乃依照本發明之實施例一之低溫多晶矽薄膜電晶體之製造方法的流程剖面圖。首先, 在步驟40中, 提供一基板111, 如玻璃基板 (glass substrate) 或塑膠基板。接著, 進入步驟50中, 形成一緩衝層 (buffer layer) 112於基板111上, 如第3A圖所示。其中, 緩衝層112例如是一二氧化矽 (silicon dioxide, SiO_2) 層。然後, 進入步驟60中, 形成一低表面自由能材料140於緩衝層112之表面上。接著, 進入步驟70中, 形成一第一非晶矽 (amorphous silicon, $\alpha\text{-Si}$) 層113於低表面自由能材料 (low surface energy material) 140上, 如第3B圖所示。其中, 第一非晶矽層113之厚度約為50埃 (\AA)。

然後, 進入步驟80中, 以雷射回火法 (laser annealing) 全熔第一非晶矽層113, 液態之第一非晶矽層113將於低表面自由能材料140上均勻地分散為許多內聚區塊, 此些內聚區塊將結晶形成均勻分散之數個多晶矽晶種 (seed) 113a。接著, 進入步驟90中, 形成一第二非晶矽層113b於低表面自由能材料140之上, 以覆蓋多晶矽晶種113a, 如第3C圖所示。其中, 第二非晶矽層113b之厚度係大於第一非晶矽層113之厚度, 第二非晶矽層113b之厚度約為450埃 (\AA)。然後, 進入步驟100中, 以雷射回火法全熔第二非晶矽層113b, 並致使液態之第二非晶矽層113b藉由多晶矽晶種113a結晶成一多晶矽層114, 如第3D圖所



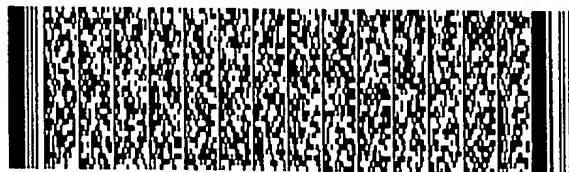
五、發明說明 (7)

示。

需要注意的是，由於本發明先形成均勻分佈之多晶矽晶種113a於低表面自由能材料140上，故本發明所獲得之多晶矽層114的晶體大小 (grain size) 係比傳統LTPS TFT製程所獲得之多晶矽層的晶體大小還要大，甚至可以到達1微米 (μm)。此外，本發明所獲得之多晶矽層114的晶體分佈係比傳統LTPS TFT製程所獲得之多晶矽層的晶體分佈更加均勻。

接著，去除部分之多晶矽層114，以形成至少一多晶矽島層114a於低表面自由能材料140上，如第3E圖所示。然後，摻雜多晶矽島層114a之兩端，以形成一重摻雜N型 (N+) 歐姆接觸層 (ohmic contact layer) 115於剩餘之多晶矽島層114b之兩側上。再形成一第一絕緣層116於低表面自由能材料140之上，以覆蓋N+歐姆接觸層115及剩餘之多晶矽島層114b，如第3F圖所示。接著，摻雜剩餘之多晶矽島層114b之兩端，以形成一輕摻雜N型 (N-) 歐姆接觸層117於多晶矽通道 (channel) 層114c及N+歐姆接觸層115之間，再形成一閘極 (gate) 118於多晶矽通道層114c之正上方之第一絕緣層116上，如第3G圖所示。其中，N-歐姆接觸層117即所謂之輕摻雜汲極 (light doping drain, LDD)。

然後，形成一第二絕緣層119於第一絕緣層116之上，以覆蓋閘極118，如第3H圖所示。其中，第二絕緣層119及第一絕緣層116係具有一第一接觸孔 (contact hole)



五、發明說明 (8)

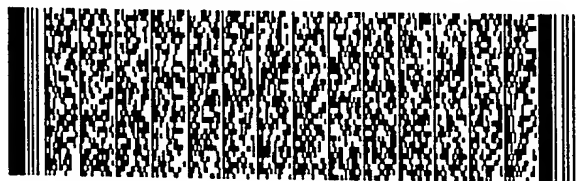
120a 及一第二接觸孔120b，第一接觸孔120a及第二接觸孔120b係位於閘極118之兩側外，用以暴露部分之N+歐姆接觸層117。接著，形成一源極 (source) 121a 及一汲極 (drain) 121b 於閘極118之兩側外之部分的第二絕緣層119上，源極121a及汲極121b係分別藉由第一接觸孔120a及第二接觸孔120b與N+歐姆接觸層117電性連接，如第3I圖所示。

然後，形成一保護層 (passivation layer) 122 於第二絕緣層119之上，以覆蓋源極121a及汲極121b，保護層122係具有一第三接觸孔123，用以暴露部分之源極121a或汲極121b，第三接觸孔123例如是暴露部分之源極121a，如第3J圖所示。接著，形成一銦錫氧化物 (indium tin oxide, ITO) 電極123於保護層122上，而ITO電極123係藉由第三接觸孔123與源極121a或汲極1221b電性連接，ITO電極123例如是跟源極121a電性連接，低溫多晶矽薄膜電晶體110在此終告完成，如第3K圖所示。

由於多晶矽層114之晶體大小較大且晶體分佈較均勻，故本發明之低溫多晶矽薄膜電晶體110之電子遷移率 (electron mobility) 將比傳統之低溫多晶矽薄膜電晶體10的電子遷移率高。所以，本發明可以大幅度地提昇低溫多晶矽薄膜電晶體的電子遷移率。

實施例二

請參照第4A~4D圖，其繪示乃依照本發明之實施例二

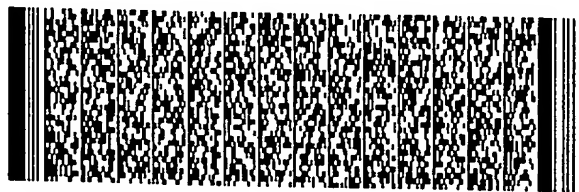


五、發明說明 (9)

之低溫多晶矽薄膜電晶體之製造方法的部分流程剖面圖。首先，在第4A圖中，提供一基板211，如玻璃基板或塑膠基板，並形成一緩衝層212於基板211上。其中，緩衝層212例如是一二氧化矽層。接著，以氫氣電漿 (hydrogen plasma) 處理緩衝層212之表面，並形成一第一非晶矽層213於緩衝層之表面212上，如第4B圖所示。其中，第一非晶矽層213之厚度約為50埃 (Å)。在氫氣電漿處理緩衝層212之表面的過程中，氫氣電漿會將緩衝層212之表面的極性化學鍵結改成非極性化學鍵結。

然後，以雷射回火法全熔第一非晶矽層213，液態之第一非晶矽層213將於被氫氣電漿處理過之緩衝層212的表面上均勻地分散為許多內聚區塊，此些內聚區塊將結晶形成均勻分散之數個多晶矽晶種213a，如第4C圖所示。待多晶矽晶種213a被形成後，再形成一第二非晶矽層213b於被氫氣電漿處理過之緩衝層212的表面之上，以覆蓋多晶矽晶種213a。其中，第二非晶矽層213b之厚度係大於第一非晶矽層213之厚度，第二非晶矽層213b之厚度約為450埃 (Å)。接著，以雷射回火法全熔第二非晶矽層213b，並致使液態之第二非晶矽層213b藉由多晶矽晶種213a結晶成一多晶矽層214，如第4D圖所示。至於本實施例之多晶矽層214被形成後的製程與實施例一之多晶矽層114被形成後的製程相同，在此不再贅述之。

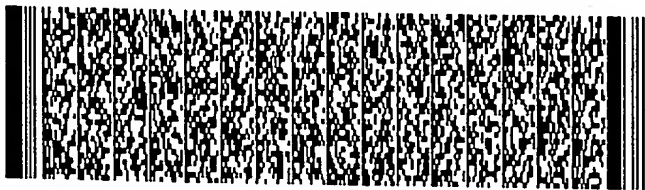
本發明上述實施例所揭露之低溫多晶矽薄膜電晶體之製造方法，其形成一低表面自由能材料於緩衝層上或以氫



五、發明說明 (10)

氣電漿處理緩衝層之表面的設計，可以致使低表面自由能材料上或被氬氣電漿處理過之緩衝層上之第一非晶矽層經由雷射回火法轉變為分散均勻之多晶矽晶種。此外，覆蓋此些多晶矽晶種之第二多晶矽層經由雷射回火法而容易結晶成晶體大小較大及晶體分佈均勻之多晶矽層，以提昇低溫多晶矽薄膜電晶體的電子遷移率。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

第1A～1I圖繪示乃傳統之低溫多晶矽薄膜電晶體（LTPS TFT）之製造方法的流程剖面圖。

第1J圖繪示乃第1A圖之非晶矽層被半熔時之狀態的剖面圖。

第1K圖繪示乃第1A圖之非晶矽層被全熔時之狀態的剖面圖。

第2圖繪示乃依照本發明之實施例一之低溫多晶矽薄膜電晶體之製造方法的部分流程示意圖。

第3A～3K圖繪示乃依照本發明之實施例一之低溫多晶矽薄膜電晶體之製造方法的流程剖面圖。

第4A～4D圖繪示乃依照本發明之實施例二之低溫多晶矽薄膜電晶體之製造方法的部分流程剖面圖。

圖式標號說明

10、110：低溫多晶矽薄膜電晶體（LTPS TFT）

12：玻璃基板

13：非晶矽層

13a：未熔之非晶矽層

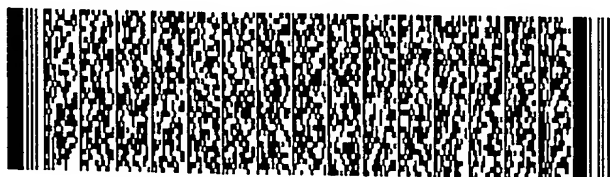
13b：液態之非晶矽

14、114、214：多晶矽層

14a、114a：多晶矽島層

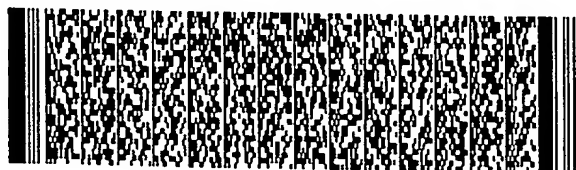
14b、114b：剩餘之多晶矽島層

14c、114c：多晶矽通道層



圖式簡單說明

- 14d、14e、113a、213a：多晶矽晶種
- 15、115：重摻雜N型（N+）歐姆接觸層
- 16、116：第一絕緣層
- 17、117：輕摻雜N型（N-）歐姆接觸層
- 18、118：閘極
- 19、119：第二絕緣層
- 20a、120b：第一接觸孔
- 20b、120b：第二接觸孔
- 21a、121a：源極
- 21b、121b：汲極
- 22、122：保護層
- 23、123：第三接觸孔
- 24、124：銦錫氧化物（ITO）電極
- 111、211：基板
- 112、212：緩衝層
- 113、213：第一非晶矽層
- 113a、213a：多晶矽晶種
- 113b、213b：第二非晶矽層
- 140：低表面自由能材料



六、申請專利範圍

1. 一種低溫多晶矽薄膜電晶體之製造方法，至少包括：

提供一基板；

形成一緩衝層於該基板上；

形成一低表面自由能材料於該緩衝層之表面上；

形成一第一非晶矽層於該低表面自由能材料上；

以雷射回火法全熔該第一非晶矽層，並致使液態之該第一非晶矽層於該低表面自由能材料上形成均勻分散之複數個多晶矽晶種；

形成一第二非晶矽層於該低表面自由能材料之上，以覆蓋該些多晶矽晶種；以及

以雷射回火法全熔該第二非晶矽層，並致使液態之該第二非晶矽層藉由該些多晶矽晶種結晶成一多晶矽層。

2. 如申請專利範圍第1項所述之方法，其中該第二非晶矽層之厚度係大於該第一非晶矽層之厚度。

3. 如申請專利範圍第3項所述之方法，其中該第一非晶矽層之厚度係約為50埃。

4. 如申請專利範圍第4項所述之方法，其中該第二非晶矽層之厚度係約為450埃。

5. 如申請專利範圍第1項所述之方法，其中該基板係玻璃基板。

6. 如申請專利範圍第1項所述之方法，其中該緩衝層係二氧化矽層。

7. 如申請專利範圍第1項所述之方法，另包括：



六、申請專利範圍

去除部分之該多晶矽層，以形成一多晶矽島層；

摻雜該多晶矽島層之兩端，以形成一重摻雜N型（N+）歐姆接觸層於剩餘之該多晶矽島層之兩側上；

形成一第一絕緣層於該N+歐姆接觸層、剩餘之該多晶矽島層及部分之該低表面活化能材料上；

摻雜剩餘之該多晶矽島層之兩端，以形成一輕摻雜N型（N-）歐姆接觸層於一多晶矽通道層及該N+歐姆接觸層之間；

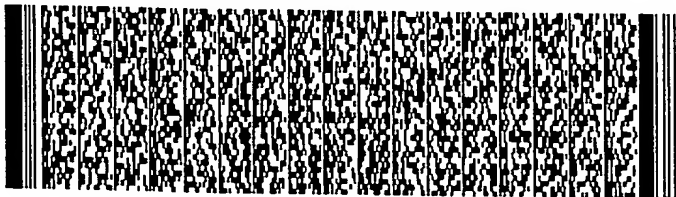
形成一閘極於該多晶矽通道層之正上方的該第一絕緣層上；

形成一第二絕緣層於該第一絕緣層之上，以覆蓋該閘極，該第二絕緣層及該第一絕緣層係具有一第一接觸孔及一第二接觸孔，該第一接觸孔及該第二接觸孔係位於該閘極之兩側外，用以暴露該多晶矽層之兩側外的該N+歐姆接觸層；

形成一源極及一汲極於該閘極之兩側外之部分的該第二絕緣層上，該源極及該汲極係分別藉由該第一接觸孔及該第二接觸孔與該N+歐姆接觸層電性連接；

形成一保護層於該第二絕緣層之上，以覆蓋該源極及該汲極，該保護層係具有一第三接觸孔，用以暴露部分之該源極或該汲極；以及

形成一銦錫氧化物（indium tin oxide，ITO）電極於該保護層上，該ITO電極係藉由該第三接觸孔與該源極或該汲極電性連接。



六、申請專利範圍

8. 一種低溫多晶矽薄膜電晶體之製造方法，至少包括：

提供一基板；

形成一緩衝層於該基板上；

以氫氣電漿處理該緩衝層之表面；

形成一第一非晶矽層於該緩衝層之表面上；

以雷射回火法全熔該第一非晶矽層，並致使液態之該第一非晶矽層於該緩衝層之表面上形成均勻分散之複數個多晶矽晶種；

形成一第二非晶矽層於該緩衝層之表面之上，以覆蓋該些多晶矽晶種；以及

以雷射回火法全熔該第二非晶矽層，並致使液態之該第二非晶矽層藉由該些多晶矽晶種結晶成一多晶矽層。

9. 如申請專利範圍第8項所述之方法，其中該第二非晶矽層之厚度係大於該第一非晶矽層之厚度。

10. 如申請專利範圍第9項所述之方法，其中該第一非晶矽層之厚度係約為50埃。

11. 如申請專利範圍第10項所述之方法，其中該第二非晶矽層之厚度係約為450埃。

12. 如申請專利範圍第8項所述之方法，其中該基板係玻璃基板。

13. 如申請專利範圍第8項所述之方法，其中該緩衝層係二氧化矽層。

14. 如申請專利範圍第8項所述之方法，另包括：



六、申請專利範圍

去除部分之該多晶矽層，以形成一多晶矽島層；

摻雜該多晶矽島層之兩端，以形成一重摻雜N型（N+）歐姆接觸層於剩餘之該多晶矽島層之兩側上；

形成一第一絕緣層於該N+歐姆接觸層、剩餘之該多晶矽島層及部分之該緩衝層之表面上；

摻雜剩餘之該多晶矽島層之兩端，以形成一輕摻雜N型（N-）歐姆接觸層於一多晶矽通道層及該N+歐姆接觸層之間；

形成一閘極於該多晶矽通道層之正上方的該第一絕緣層上；

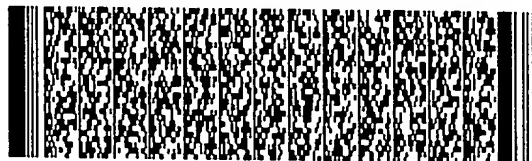
形成一第二絕緣層於該第一絕緣層之上，以覆蓋該閘極，該第二絕緣層及該第一絕緣層係具有一第一接觸孔及一第二接觸孔，該第一接觸孔及該第二接觸孔係位於該閘極之兩側外，用以暴露該多晶矽層之兩側外的該N+歐姆接觸層；

形成一源極及一汲極於該閘極之兩側外之部分的該第二絕緣層上，該源極及該汲極係分別藉由該第一接觸孔及該第二接觸孔與該N+歐姆接觸層電性連接；

形成一保護層於該第二絕緣層之上，以覆蓋該源極及該汲極，該保護層係具有一第三接觸孔，用以暴露部分之該源極或該汲極；以及

形成一銦錫氧化物（ITO）電極於該保護層上，該ITO電極係藉由該第三接觸孔與該源極或該汲極電性連接。

15. 一種低溫多晶矽薄膜電晶體之製造方法，至少包



六、申請專利範圍

括：

提供一玻璃基板；

形成一二氧化矽層於該基板上；

形成一低表面自由能材料於該二氧化矽層之表面上；

形成一第一非晶矽層於該低表面自由能材料上；

以雷射回火法全熔該第一非晶矽層，並致使液態之該第一非晶矽層於該低表面自由能材料上形成均勻分散之複數個多晶矽晶種；

形成一第二非晶矽層於該低表面自由能材料之上，以覆蓋該些多晶矽晶種，該第二非晶矽層之厚度係大於該第一非晶矽層之厚度；以及

以雷射回火法全熔該第二非晶矽層，並致使液態之該第二非晶矽層藉由該些多晶矽晶種結晶成一多晶矽層。

16. 如申請專利範圍第15項所述之方法，其中該第一非晶矽層之厚度係約為50埃。

17. 如申請專利範圍第16項所述之方法，其中該第二非晶矽層之厚度係約為450埃。

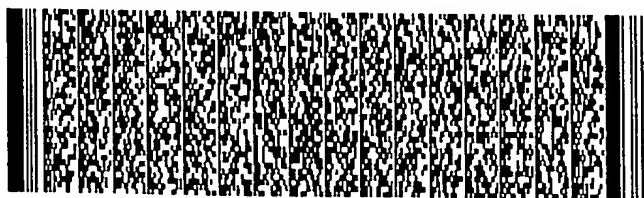
18. 如申請專利範圍第15項所述之方法，另包括：

去除部分之該多晶矽層，以形成一多晶矽島層；

摻雜該多晶矽島層之兩端，以形成一重摻雜N型（N+）歐姆接觸層於剩餘之該多晶矽島層之兩側上；

形成一第一絕緣層於該N+歐姆接觸層、剩餘之該多晶矽島層及部分之該低表面活化能材料上；

摻雜剩餘之該多晶矽島層之兩端，以形成一輕摻雜N



六、申請專利範圍

型 (N-) 歐姆接觸層於一多晶矽通道層及該N+ 歐姆接觸層之間；

形成一閘極於該多晶矽通道層之正上方的該第一絕緣層上；

形成一第二絕緣層於該第一絕緣層之上，以覆蓋該閘極，該第二絕緣層及該第一絕緣層係具有一第一接觸孔及一第二接觸孔，該第一接觸孔及該第二接觸孔係位於該閘極之兩側外，用以暴露該多晶矽層之兩側外的該N+ 歐姆接觸層；

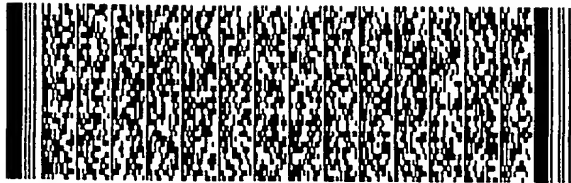
形成一源極及一汲極於該閘極之兩側外之部分的該第二絕緣層上，該源極及該汲極係分別藉由該第一接觸孔及該第二接觸孔與該N+ 歐姆接觸層電性連接；

形成一保護層於該第二絕緣層之上，以覆蓋該源極及該汲極，該保護層係具有一第三接觸孔，用以暴露部分之該源極或該汲極；以及

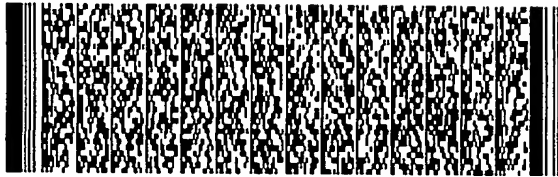
形成一銦錫氧化物 (ITO) 電極於該保護層上，該ITO電極係藉由該第三接觸孔與該源極或該汲極電性連接。



第 1/21 頁



第 2/21 頁



第 3/21 頁



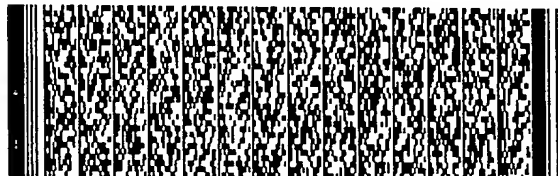
第 4/21 頁



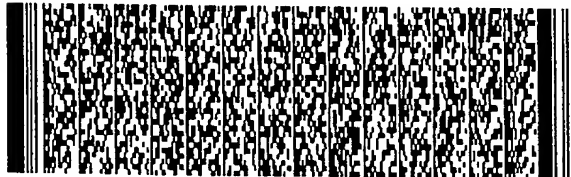
第 4/21 頁



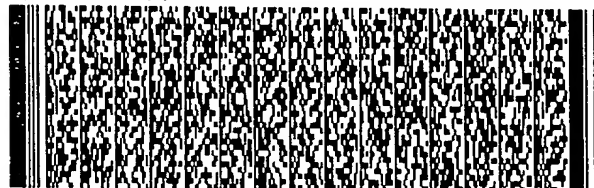
第 5/21 頁



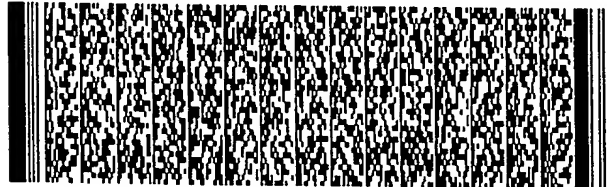
第 5/21 頁



第 6/21 頁



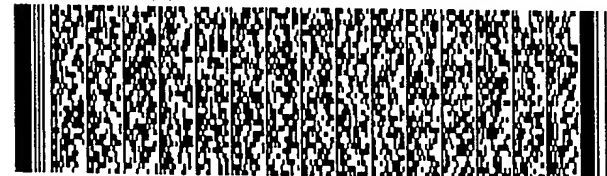
第 6/21 頁



第 7/21 頁



第 7/21 頁



第 8/21 頁



第 8/21 頁



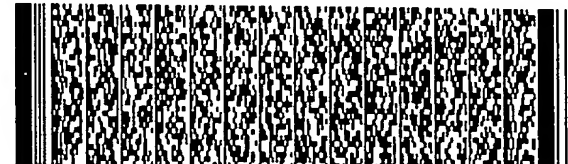
第 9/21 頁

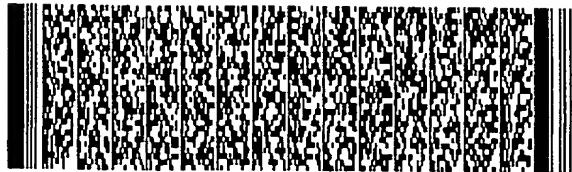


第 9/21 頁



第 10/21 頁





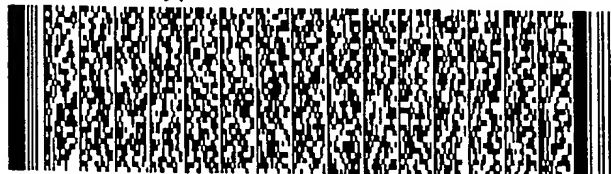
第 11/21 頁



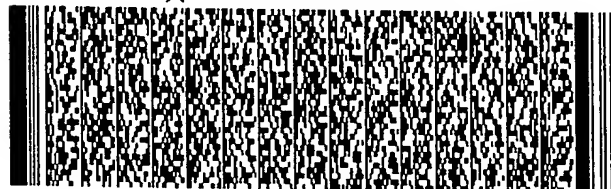
第 12/21 頁



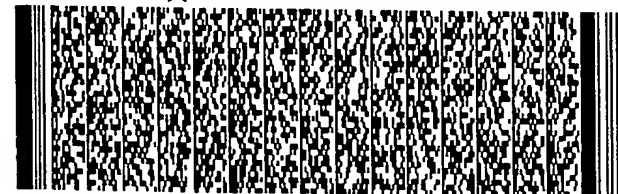
第 14/21 頁



第 16/21 頁



第 18/21 頁



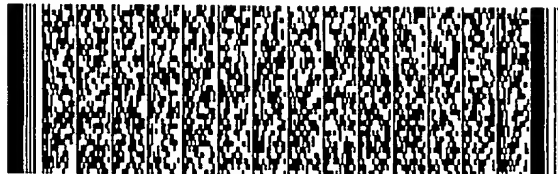
第 19/21 頁



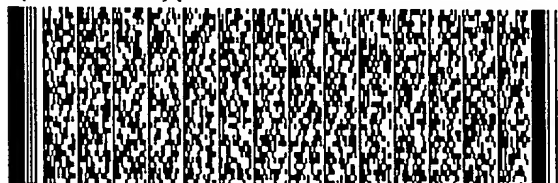
第 21/21 頁



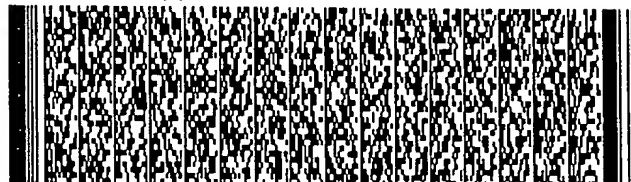
第 11/21 頁



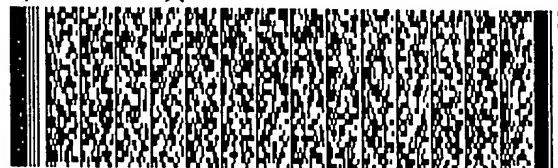
第 12/21 頁



第 13/21 頁



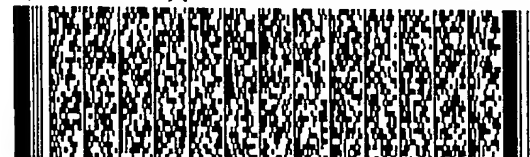
第 15/21 頁



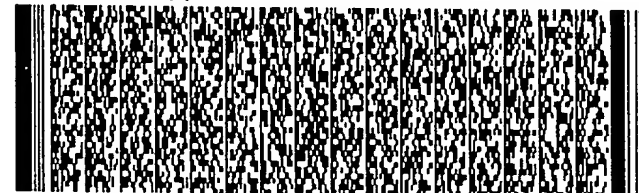
第 17/21 頁

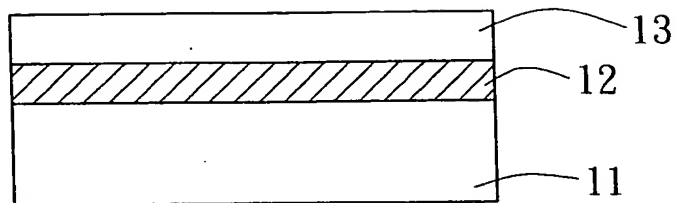


第 19/21 頁

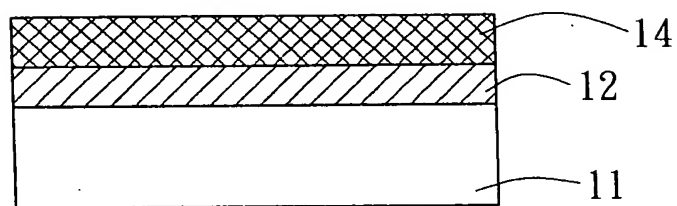


第 20/21 頁

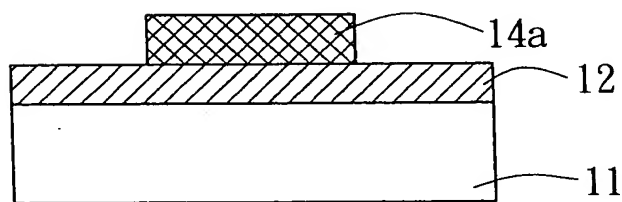




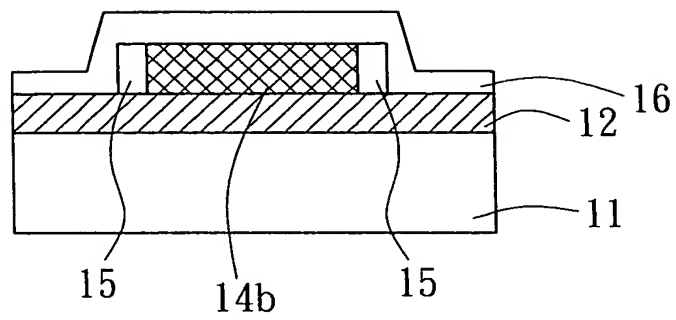
第 1A 圖 (習知技藝)



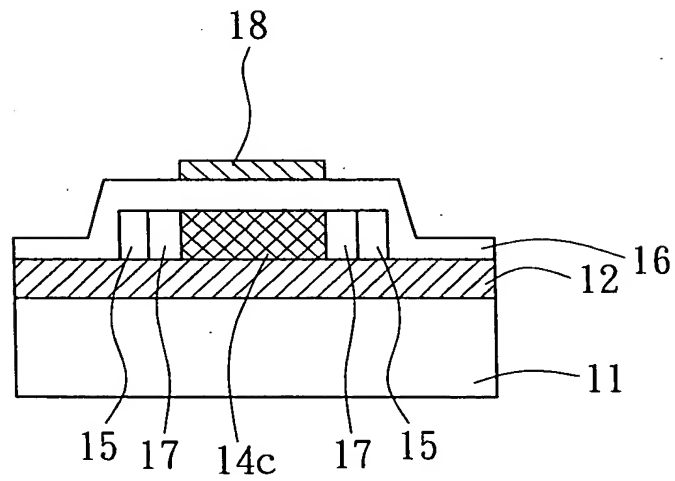
第 1B 圖 (習知技藝)



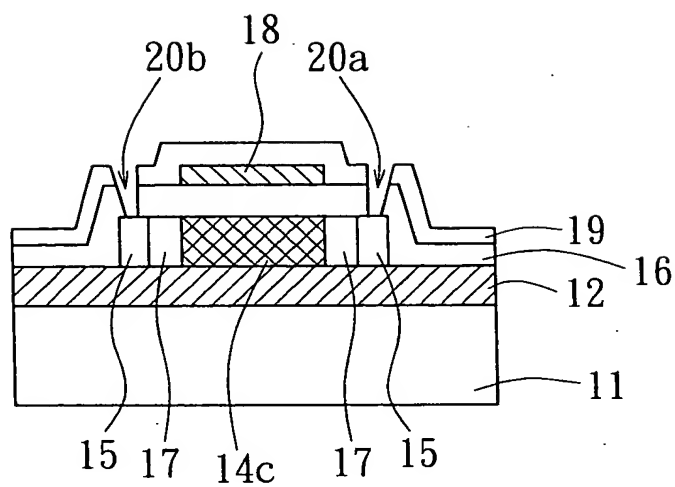
第 1C 圖 (習知技藝)



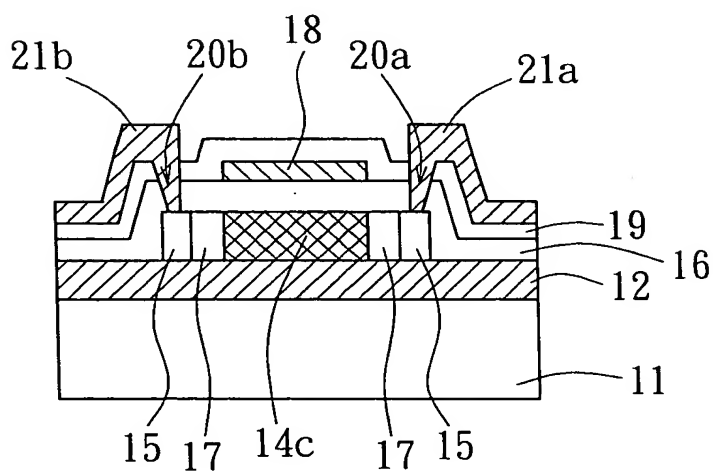
第 1D 圖 (習知技藝)



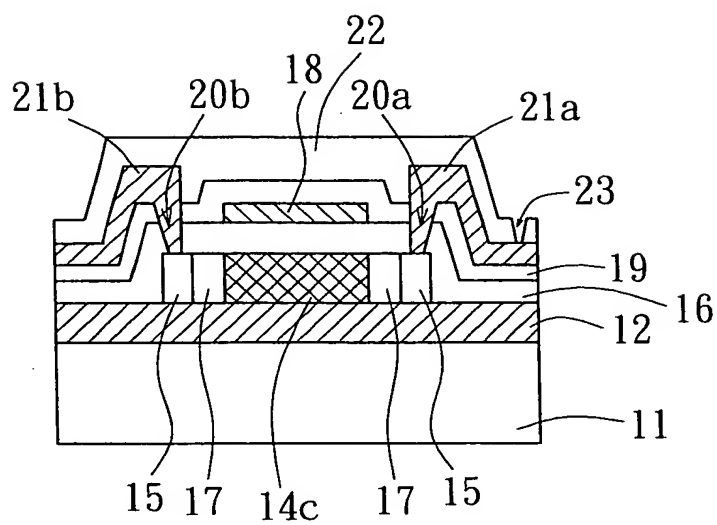
第 1E 圖 (習知技藝)



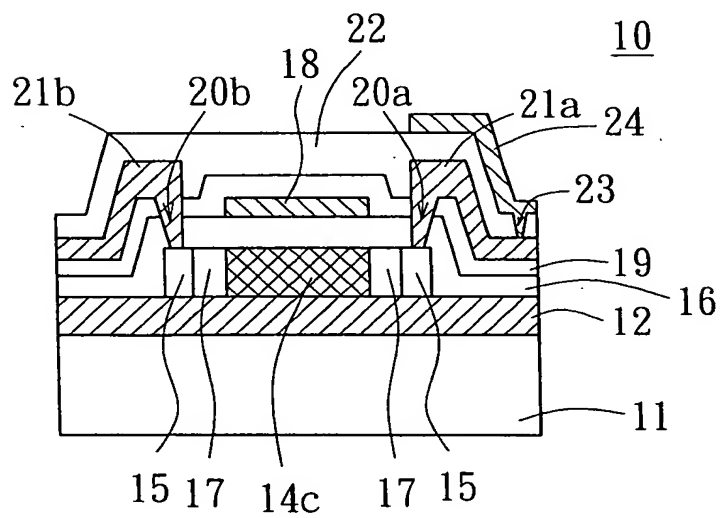
第 1F 圖 (習知技藝)



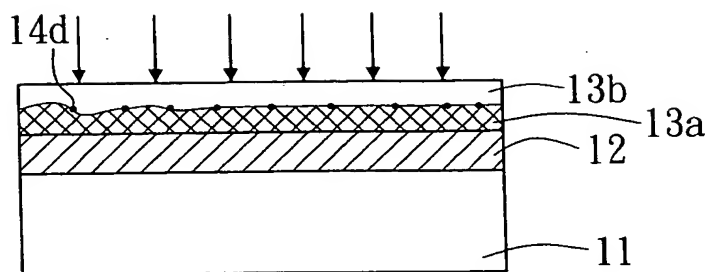
第 1G 圖 (習知技藝)



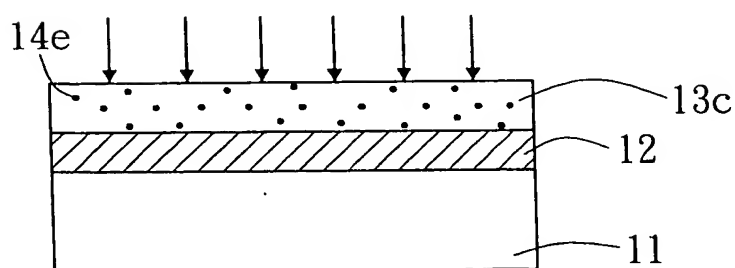
第 1H 圖 (習知技藝)



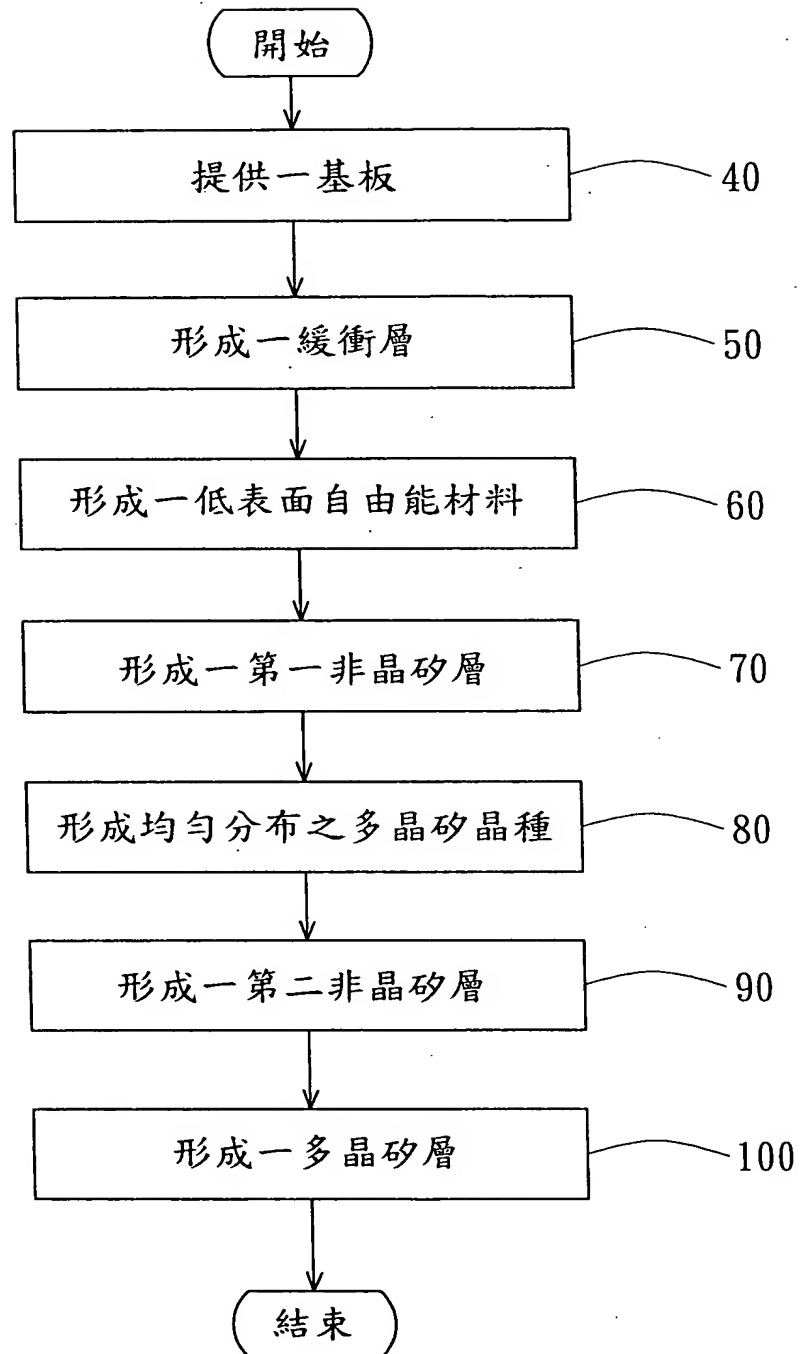
第 1I 圖 (習知技藝)



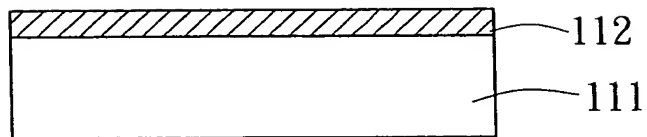
第 1J 圖 (習知技藝)



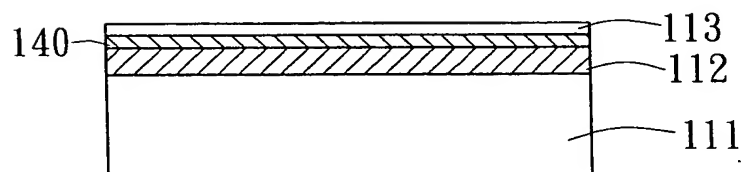
第 1K 圖 (習知技藝)



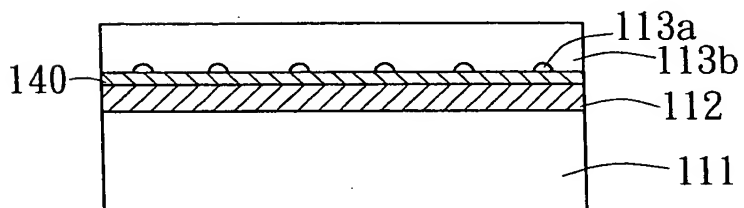
第 2 圖



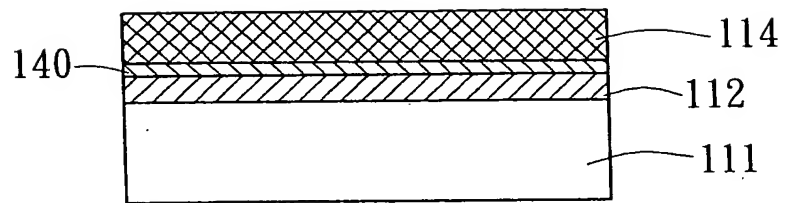
第 3A 圖



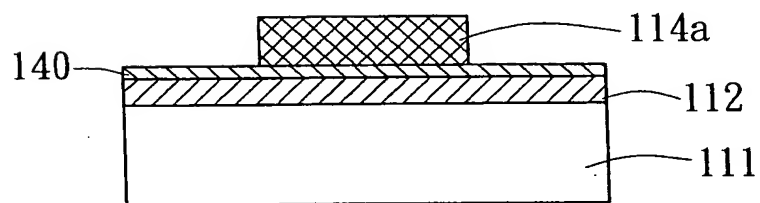
第 3B 圖



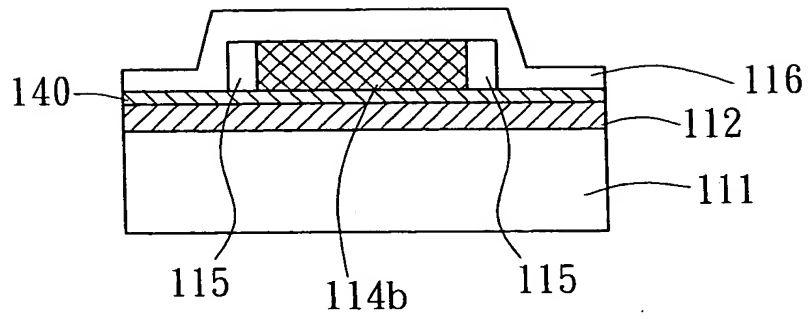
第 3C 圖



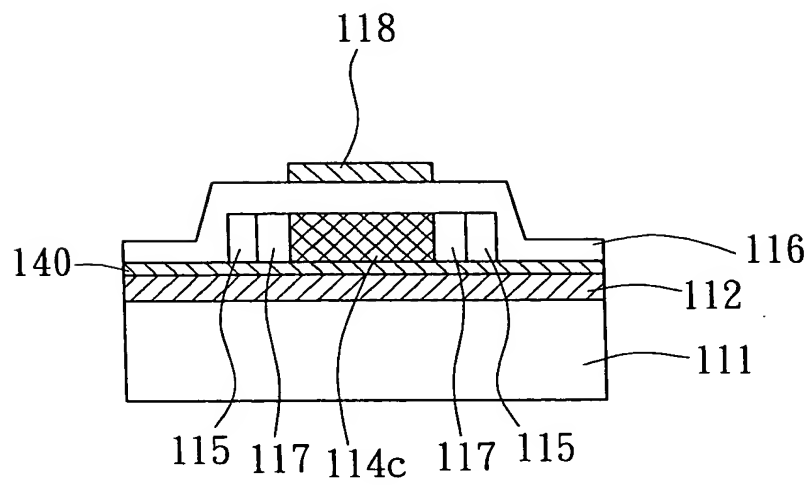
第 3D 圖



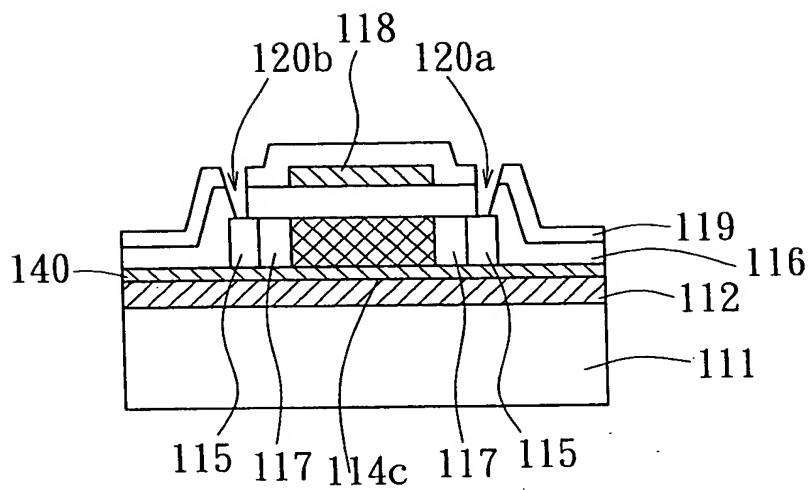
第 3E 圖



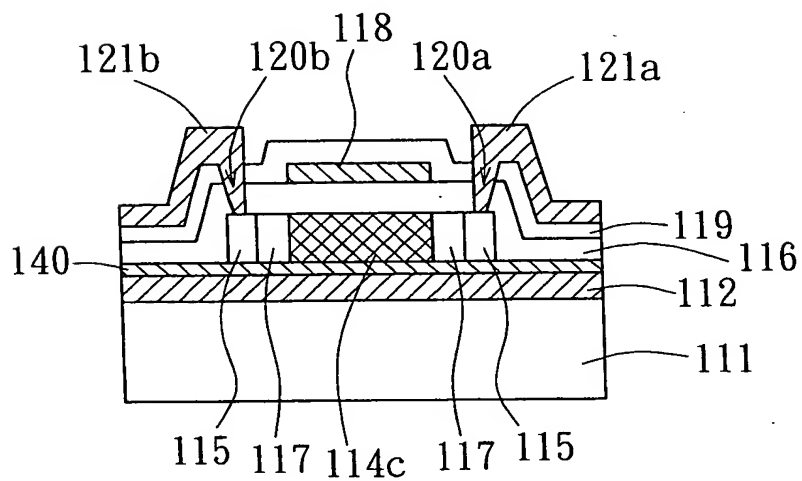
第 3F 圖



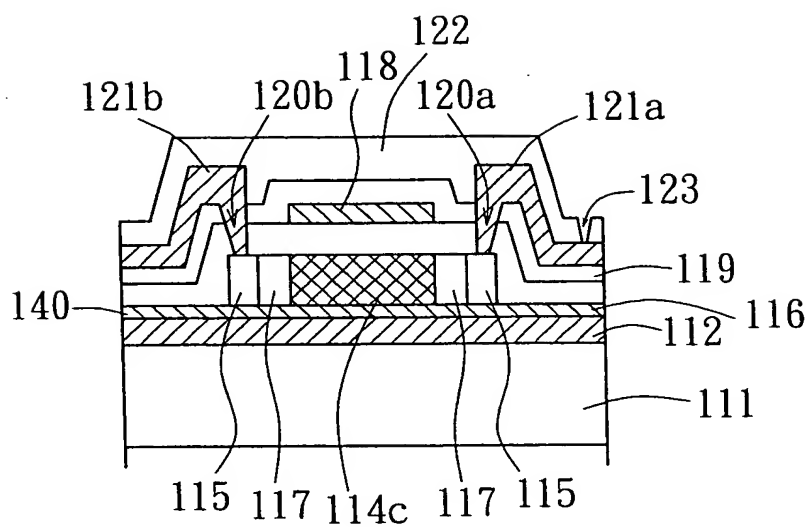
第 3G 圖



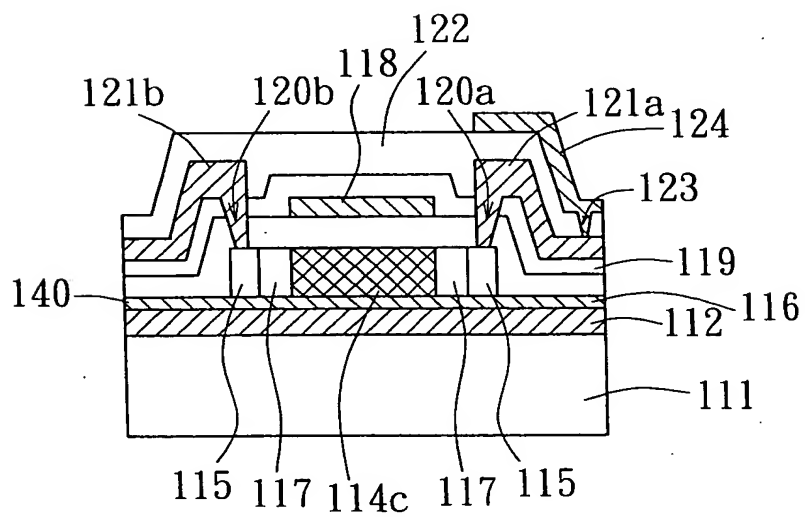
第 3H 圖

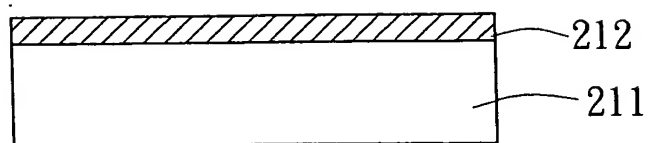


第 3I 圖

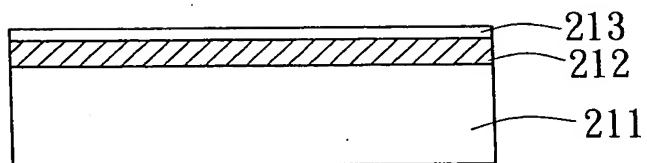


第 3J 圖

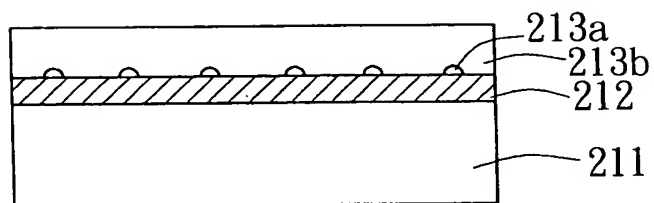




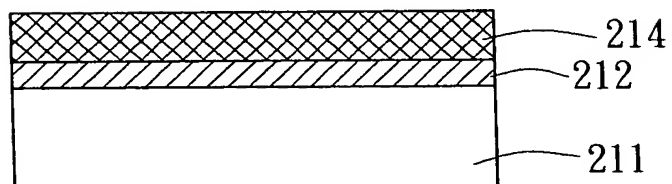
第 4A 圖



第 4B 圖



第 4C 圖



第 4D 圖